

Problemas de repaso del tema 3

Problema 1 Conteste a las siguientes preguntas, considerando el mismo sistema descrito en el apartado de test.

Una CPU con arquitectura Von Neumann y tamaño de palabra de 16 bits, dispone de un sistema de memoria virtual de 16 MBytes, y una memoria real de 1 MByte. El sistema de memoria es paginado con tamaño de página de 4 kBytes, siendo el tamaño del descriptor de 2 bytes. Cuenta, además, con una caché virtual, asociativa de 4 vías, con capacidad para guardar un total de 64 bloques de 16 bytes cada uno. En la MMU se dispone de un TLB completamente asociativo con 8 entradas. Se muestran algunas de las entradas de la caché, del TLB y de la memoria real. En la memoria caché, los asteriscos (* * *) significan que las entradas están vacías (en la figura no se representan los bit de validez a 0). En los bloques de datos de la caché, el byte más a la izquierda se corresponde con la dirección más baja, y el más a la derecha, con la dirección más alta. En caso de actualización de la caché, suponer que el algoritmo LRU que no se muestra en la figura, indica que debe modificarse la vía 1. En las figuras se muestra **parcialmente** el contenido del TLB, de la cache y de memoria y no aparecen los bits de control.

	VIA 1	VIA 2	VIA 3	VIA 4
0	AA42	6642 - - - D3F5	***	***
--	---	-----	***	***
--	---	-----	***	***
5	4F21	AAFC - - - 004C	***	***
--	-----	-----	***	***
--	-----	-----	***	***
C	55FE	FF44 - - - 3322	***	***
--	-----	-----	***	***
--	-----	-----	***	***
F	0109	F58B - - - 541C	***	***

TLB	
N.º pag.	Marco
010	CC
4F2	F0
324	D5
55F	35
AA4	C7
F50	50
AAA	10
100	2C

MEMORIA									
DIRECC.	DATO								
109E0	C4	35EC0	FF	50D80	44	CC9E0	66	F0150	AA
109E1	2F	35EC1	44	50D81	5C	CC9E1	42	F0151	FC
----	----	----	----	----	----	----	----	----	----
----	----	----	----	----	----	----	----	----	----
109EE	50	35ECE	33	50D9E	32	CC9EE	D3	F015E	00
109EF	3F	35ECF	22	50D9F	F4	CC9EF	F5	F015F	4C

a) Indique el tamaño total de la cache y todos los recursos que se necesitan para su implementación.

Directorio cache: 4 vías x 16 entradas (16 bit TAG + 1 bit Validez + 2 bit LRU)=1216 bits=152 bytes y 4 comparadores de 16 bits.

Datos cache: 4 vías x 16 entradas (16 * 8 bits) = 8192 bits = 1024 bytes.

Total: 1176 bytes.

Problemas de repaso del tema 3

- b) Calcule el tamaño del TLB y el tamaño de la tabla de páginas, suponiendo que se guarda completamente en memoria principal.

1 página = 4KB , offset 12 bit

DV (24bit) = NPV (12bit) + Offset (12bit)

DR (20bit) = Marco (8bit) + Offset (12bit)

Tabla de página = 2^{12} entradas x tamaño descriptor = $2^{12} \times 2$ bytes = 8 KBytes

Tamaño del TLB = 8 entradas (12bit TAG + 2 bytes descriptor) = 28 bytes = 224 bits.

- c) El inicio de la tabla de páginas en memoria principal se indica en el registro CR dentro de la MMU. Suponga que el valor de este registro es CR =0x10000. En los descriptores los bits de control están en la parte más significativa, se utiliza representación "little endian" (el byte de mayor peso corresponde con la dirección de memoria mayor) y que la CPU accede a la DV 0x4F7D80 para leer una palabra.

- ¿Qué DR corresponde a la DV ?
- ¿Qué valor obtendrá la CPU?
- ¿Cuántos accesos a memoria han sido necesarios para todo el proceso y que direcciones de memoria han sido accedidos?

Inicio de la tabla de páginas en dirección de memoria 0x10000.

DV= 0x4F7D80 , NPV = 0x4F7 que se usa como índice para acceder a la tabla (teniendo en cuenta el tamaño del descriptor)

Se accede a la dirección= $0x10000+(0x4F7 \times 2) = 0x109EE$

Se lee el descriptor 0x3F50. Marco 0x50 y junto al offset 0xD80 se genera la DR= 0x50D80.

Se accede a la dirección de memoria 0x50D80 para leer la palabra 0x5C44.

En todo el proceso se accede a las direcciones de memoria 0x109EE y 0x50D80

- d) Suponiendo los siguientes tiempos de acceso:

Tiempo de acceso al TLB =1 ciclo

Tiempo de acceso a la cache=2 ciclos

Tiempo de acceso a memoria =40 ciclos

Calcule el tiempo en ciclos que ha transcurrido cuando la CPU ha obtenido instrucciones o datos de las siguiente direcciones: 0x4F2150, y 0x4F7D80

0x4F2150, acierto en la cache (2c).

Tiempo de acceso: 2 ciclos.

0x4F7D80, falla en memoria virtual (2c), falla en el TLB (1c), accede a tabla de página (2 accesos a memoria 40 ciclos leer descriptor + 40 ciclos leer la palabra y finalmente actualiza el bloque (8 palabras) en cache 8x40 ciclos.

Tiempo de acceso: $2 + 1 + 40 + 40 + 8 \times 40 = 403$ ciclos

Problemas de repaso del tema 3

Problema 2. En un sistema procesador MIPS con memoria total de 1 Mbyte, se quiere ejecutar el siguiente programa cuando el bucle se ejecuta 3 veces.

Dirección	Instrucción	Comentario
021FC	inic: load r1, r2(100)	; load A[i] into r1
02200	add r6, r6, r1	; add A[i] to R6
02204	add r7, r1, r10	; A[i] + cte. R10 contains cte
02208	store r7, r4(100)	; store B[j]
0220C	add r2, r2, 4	; i++ (data size is 4 bytes)
02210	add r4, r4, 4	; j++ (data size is 4 bytes)
02214	bnq r2, r0, inic	; Jump to inic

Suponga que los datos del vector A se acceden a partir de la dirección 321FC (hex) y a los del vector B desde la dirección 32100 (hex)

Se quieren incorporar una cache y se decide evaluar 2 arquitecturas:

- Caches separadas para instrucciones y datos, ambas de correspondencia directa y un tamaño de 4 Kbytes con bloques de 256 bytes.
- Una caché unificada con organización asociativa de 4 vías y un tamaño de 1 Kbyte con bloques de 16 bytes.

Indique los campos en los que se divide la dirección para el acceso a las caches

Detalle los accesos a memoria que se realizan y enumere los fallos y aciertos producidos. Para ello se pide una tabla por cada tipo de caché donde se deben señalar los campos en los que se decodifican las direcciones y las entradas de la caché que se modifican.

SOLUCIÓN:

a) La caché instrucciones de correspondencia directa tiene 16 entradas. Los campos en los que se divide la dirección de memoria y la descomposición de las direcciones de memoria que se utilizan en el orden adecuado son:

DIRECCION	ETIQUETA	INDICE	BYTE/BLOQUE	Iteración - Fallo/Acierto
20 bits	8 bits	4 bits	8 bits	-
021FC	02	1		1 - F
02200	02	2		1 - F
02204	02	2		1 - A
02208	02	2		1 - A
0220C	02	2		1 - A
02210	02	2		1 - A
02214	02	2		1 - A
021FC	02	1		2 - A
02200	02	2		2 - A
02204	02	2		2 - A
02208	02	2		2 - A
0220C	02	2		2 - A
02210	02	2		2 - A
02214	02	2		2 - A

Tenemos 5+7+7 = 19 aciertos en 21 accesos; H = 19/21.

Cache de datos

Problemas de repaso del tema 3

DIRECCION	ETIQUETA	INDICE	BYTE/BLOQUE	Iteración - Fallo/Acierto
20 bits	8 bits	4 bits	8 bits	-
321FC	32	1		1 - F
32100	32	1		1 - A
32200	32	2		2-F
32104	32	1		2-A
32204	32	2		3-A
32108	32	1		3-A

Tenemos 4 acierto en 6 accesos ; $H = 4/6$.

b) La caché de asociativa de 4 vías tiene 16 entradas. Los campos en los que se divide la dirección de memoria y la descomposición de las direcciones de memoria que se utilizan en el orden adecuado son:

DIRECCION	ETIQUETA	INDICE	BYTE/BLOQUE	Via	Iteración - Fallo/Acierto
20 bits	12 bits	4 bits	4 bits	-	-
021FC	021	F		0	1 - F
321FC	321	F		1	1 - F
02200	022	0		0	1 - F
02204	022	0		0	1 - A
02208	022	0		0	1 - A
32100	321	0		1	1 - F
0220C	022	0		0	1 - A
02210	022	1		0	1 - F
02214	022	1		0	1 - A
021FC	021	F		0	2 - A
32200	322	0		2	2 - F
02200	022	0		0	2 - A
02204	022	0		0	2 - A
02208	022	0		0	2 - A
32104	321	0		1	2 - A
0220C	022	0		0	2 - A
02210	022	1		0	2 - A
02214	022	1		0	2 - A

En la primera iteración se producen 4 aciertos, en la segunda 8 aciertos y la tercera son todo aciertos.

tanto, $H = 4 + 8 + 9 \text{ aciertos} / 9 \cdot 3 \text{ instrucciones} = 21 / 27$.

Problemas de repaso del tema 3

Problema3. Un sistema procesador dispone de una cache de 256 bytes, asociativa de 2 vías y 8 palabras por bloque. La unidad dispone de los bits de control necesarios (validez, dirty, etc.). El bus de direcciones es de 32 bits mientras que el de datos es de 16 bit. Se pide:

- a) ¿Como se divide la dirección para el acceso a cache?

256 bytes / 2 bytes por palabra = 128 palabras
128 palabras / 8 palabras por bloque = 16 bloques
16 bloques / 2 vías = 8 entradas por vía → 3 bits de índice

8 palabras por bloque = $8 * 2 \text{ bytes} = 16 \text{ bytes por bloque} \rightarrow 4 \text{ bits de byte/bloque}$

Etiqueta: 25 bits. Índice: 3 bits. B/B: 4 bits

- b) ¿Cuál es el índice de la línea de entrada en la que se debe guardar la información correspondiente a la dirección $123410A_{16}$?

Tag: 123410_1

Índice: 010

B/B: F

- c) La dirección de memoria anterior y la dirección $43217AXY_{16}$ se encuentran simultáneamente guardadas en la caché. Ambos tienen el mismo índice, señalan a la misma palabra dentro del bloque se encuentran en distinta vía. ¿Cuántas direcciones cumplen las condiciones anteriores? ¿Cuáles son los posibles valores de X e Y?

Tag: $43217AX_3$ Índice: $X_2X_1X_0$ B/B: Y

Si tienen el mismo índice entonces $X_2X_1X_0 = 010$

Si señalan a la misma palabra dentro del bloque $Y = F$ o E , ya que la palabra tiene 2 bytes y apuntar a la misma palabra se consigue apuntando a cualquiera de los 2 bytes

El tag solo podemos cambiar el valor de X_3 luego los tags posibles son $43217A_1$ y $43217A_0$.

Resultan por tanto 4 direcciones: $43217AAE$, $43217AAF$, $43217A2E$, $43217A2F$

- d) Si el tiempo de acceso a caché es de 100 ns y el tiempo de acceso a memoria principal es 5 veces mayor, ¿cuál será el % de aciertos necesario para lograr un tiempo de acceso medio de 200 ns?

Solución 1) Si tiempo de acceso a memoria se corresponde con leer una palabra de memoria entonces $t_B = 8 * t_m$ luego

$$200 \text{ ns} = 100 + (1-H) * (100 * 5 * 8)$$

$$= 100 + 4000 - 4000H \rightarrow H = (200 - 100 - 4000) / - 4000 = 0,97 \rightarrow 97\%$$

Solución 2) Si tiempo de acceso a memoria se corresponde con leer un bloque de datos de memoria entonces $t_B = t_m$ luego

$$200 \text{ ns} = 100 + (1-H) * (100 * 5)$$

$$= 100 + 500 - 500H \rightarrow H = (200 - 100 - 500) / - 500 = 0,8 \rightarrow 80\%$$

Problemas de repaso del tema 3

Problema4 Un sistema posee una arquitectura de 16 bits de tamaño de palabra. Todas las instrucciones ocupan 2 bytes. El sistema dispone de un sistema de memoria virtual de 1 Mbytes, con una memoria real de hasta 64 Kbyte. El sistema es paginado con tamaño de página de 256 bytes y cuenta con los siguientes elementos: caché real unificada y asociativa de 2 vías, con capacidad para guardar un total de 32 bloques de 16 bytes cada uno y política de escritura EDSAE (escritura directa sin asignación en escritura). La caché utiliza un política LRU y para el problema se supondrá que es la vía 1.

En la MMU se dispone de un TLB completamente asociativo con 8 entradas y una memoria de sustitución directa para el primer nivel de la tabla de páginas del sistema paginado en dos niveles. Esta memoria de sustitución directa posee 32 posiciones.

Se muestran algunas de las entradas en el estado actual de la caché, el TLB, la memoria de sustitución directa y parte de la memoria real. Se sabe además que los descriptores son de 16 bits guardando el marco de página en los bits de menos peso. Los bits de control (Ct) en cada entrada de la memoria caché son 8.

Considere la ejecución del siguiente fragmento de código

```

; contenidos de Registros DS =10000 hex y R2= 2066 hex
4F20C: LOAD  R1, R2,#200      ; R1 <= M(DS + R2 + 200hex)
4F20E: ADD   R3, R1, 5        ; R3 <= R1 + 5
4F210: STORE R3, R2,#400     ; M(DS + R2 + 400hex) <= R3
    
```

Nota: Para facilitar la lectura, en los bloques sólo se indica a la izquierda el byte con la dirección de memoria más alta y a la derecha el de dirección de memoria más baja de los 16 bytes que contiene un bloque. Cuando los valores no son relevantes se indican con xx. La memoria utiliza una organización little endian (el byte de mayor peso en la dirección de memoria mayor)

CACHE

	VIA 1			VIA 2		
	Etiqu	Ct	Datos	Etiqu	Ct	Datos
0	F0	xx	4C...AA	A9	xx	F0...66
1	E6	xx	xx...xx	39	xx	xx...xx
--	---	--	----	---	--	----
6	F2	xx	4C...AA	2C	xx	22...FF
--	---	--	----	---	--	----
--	---	--	----	---	--	----
C	5F	xx	22...55	5F	xx	22...55
--	---	--	----	---	--	----
--	---	--	----	---	--	----
F	1E	xx	D3...C4	40	xx	D3...C4

MMU

TLB		Pag L1
Etiqu	Descr.	
AA4	XXCC	00 XXDC
4F2	XXF0	--
324	XXD5	--
55F	XX35	06 XX33
DF0	XXC7	--
124	XX5D	--
AAA	XX10	1C XX44
122	XX2C	--
		--
		1F XX12

MEMORIA											
DIR.	Dato	DIR.	Dato	DIR.	Dato	DIR.	Dato	DIR.	Dato	DIR.	Dato
1020	C4	2C60	FF	5D60	44	C5E0	66	F000	AA	F010	90
1021	2F	2C61	44	5D61	5C	C5E1	42	F001	FC	F011	DC
----	----	----	----	----	----	----	----	----	----	----	----
----	----	2C66	02	5D66	19	----	----	----	----	F018	12
----	----	2C67	20	5D67	70	----	----	----	----	F019	AC
----	----	----	----	----	----	----	----	----	----	----	----
102E	00	2C6E	33	5D6E	32	C5FE	D3	F00E	30	F01E	31
102F	3F	2C6F	22	5D6F	F4	C5FF	F5	F00F	4C	F01F	4F

a) Cómo se divide la dirección virtual para el acceso al TLB y a la tabla de página multinivel.

Problemas de repaso del tema 3

DV para acceso TLB

DV (20 bits): Nro de Página(12 bits) + Offset(8 bits)

DR (16 bits): Nro de Marco(8 bits) + Offset(8 bits)

DV para acceso a páginas:

DV (20 bits): L1(5 bits) + L2(7 bits) + Offset(8 bits)

(nivel 1 en MMU y nivel 2 en memoria principal)

- b) Cómo se divide la dirección real para el acceso a la caché.

DR para acceso a cache:

32 bloques en dos vías => 16 entradas => 4 bits de índice

DR(16 bits): Etiqueta (8) + Índice (4 bits) + Byte en Bloque(4 bits)

- c) El tamaño de la caché, del TLB y la memoria de sustitución directa, señalando en cada caso la cantidad y tamaño de comparadores necesarios. El tamaño de la tabla de páginas.

c1) Tamaño de la caché:

2 vías x 16 entradas x (16 (datos) + 1 (etiq) + 1 (control)) bytes = 576 byte = 4608 bits

2 comparadores de 8 bits.

c2) Tamaño del TLB:

8 entradas x (12+16) bits = 224 bits = 28 bytes y 8 comparadores de 12 bits.

También es válido contestar:

8 entradas x 16 bits = 128 bits = 16 bytes RAM y 8 entradas x 12 bits CAM = 96 bits CAM

c3) Tamaño de la memoria de sustitución directa:

32 posiciones de 2 bytes = 64 bytes = 512 bits. No utiliza comparadores (es un acceso direct

Tamaño de la tabla de páginas = $2^5 \times 2^7 \times 2 = 8$ Kbytes

- d) Indique los accesos al sistema de memoria realizados y para cada uno de ellos rellene los campos de la siguiente tabla:

Problemas de repaso del tema 3

DV	DR	Acierto /Fallo TLB	Acierto/Fallo Cache	Entrada Cache	Via Cache	Acción realizada
4F20C	F00C	acierto	acierto	0	1	Cargar la instrucción LD de cache Codificada en el bloque con Etiqueta F0 en los bytes Cy D.
12266	2C66	acierto	acierto	6	2	Carga en R1 el dato (2 bytes) xx xx obtenido de la cache en las posiciones 6 y 7 del bloque con etiqueta 2C.
4F20E	F00E	acierto	acierto	0	1	Cargar instrucción ADD de cache Codificada en el bloque con Etiqueta F0 en los bytes E y F
4F210	F010	acierto	Fallo	1	1	Trae el bloque a la posición 1 de al cache (dir mem F010 a F01F) y carga la instrucción STORE
12466	5D66	Acierto	Fallo	6		Fallo en cache sin actualización. Escribe en memoria en la direccion 5d67 el valor 20 y en la dirección 5D66 el valor 07.

En el campo acción realizada indique lo que la CPU obtiene y que estructuras del sistema de memoria han sido accedidas, indicando en caso de fallo como se han modificado.

- e) Describa el estado final de la caché y de la memoria, **indicando SOLO los valores que cambian.**

VIA 1			VIA 2		
Etiqu	Ct	Datos	Etiqu	Ct	Datos
F0	xx	4F...90			

Memoria	
DIR.	Dato
5D66	07
5D67	20